

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-278353

(43)Date of publication of application : 14.11.1990

(51)Int.Cl.

G06F 12/16

G06F 11/16

(21)Application number : 02-052566

(71)Applicant : BULL SA

(22)Date of filing : 03.03.1990

(72)Inventor : BACOT PIERRE  
MAGNAUD GUY  
PAIRAULT JEAN-JACQUES

(30)Priority

Priority number : 89 8902751

Priority date : 03.03.1989

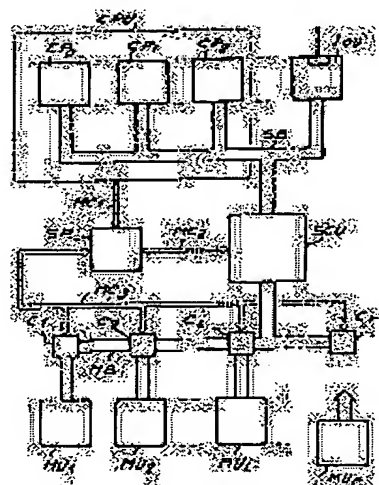
Priority country : FR

## (54) EXCHANGING METHOD FOR MEMORY MODULE WITHIN DATA PROCESSING SYSTEM AND DATA PROCESSING SYSTEM FOR EXECUTING THE METHOD

(57)Abstract:

**PURPOSE:** To exchange a memory module without interrupting the functioning state of a system by executing a writing request by means of the same address at the same time by a module to exchange and a module for exchange, allowing only the former module to execute a reading request and allowing only the module for exchange to execute a request generated later after the finish or re-copying operation.

**CONSTITUTION:** Concerning all the writing requests toward the module to exchange, the module to exchange MUi and the module for exchange MUr execute writing requests by the same address and at the same time and concerning all the reading requests toward the module to exchange, only the module to exchange MUi is allowed to execute the reading request. Then a reading request at the whole address set over the whole memory space of the module to exchange and next re-copying operation consisting of rewriting request are started. When re-copying operation is finished, concerning the whole later requests toward the module to exchange MUi, only the module for exchange MUr is allowed to execute the requests generated later by the same address. Thereby one or plural memory modules of the data system can be exchanged.



## ⑫ 公開特許公報(A)

平2-278353<sup>V</sup>

⑤ Int. Cl.

G 06 F 12/16  
11/16

識別記号

3 1 0 P  
3 1 0 F

庁内整理番号

7737-5B  
9072-5B

⑬ 公開 平成2年(1990)11月14日

審査請求 有 請求項の数 15 (全17頁)

⑭ 発明の名称 データ処理システム内のメモリモジュールの交換方法と該方法を実施するためのデータ処理システム

⑮ 特 願 平2-52566

⑯ 出 願 平2(1990)3月3日

優先権主張 ⑰1989年3月3日 ⑱フランス(FR) ⑲89 02751

⑳ 発 明 者 ビエール バコ フランス国 92370 シャヴィーユ リュ デ プティ  
ボワ 17

㉑ 発 明 者 ギ イ マ ノ ー フランス国 78580 モール アレ デ メロヴァンジャン  
5

㉒ 出 願 人 ビュル エス. アー. フランス国 75764 バリ セデックス 16 アヴェニュ  
ドウ マラコフ 121

㉓ 代 理 人 弁理士 越 場 隆  
最終頁に続く

## 明 細 書

## 1. 発明の名称

データ処理システム内のメモリモジュールの交換方法と該方法を実施するためのデータ処理システム

## 2. 特許請求の範囲

- (1) データ処理システムの1つもしくは複数のメモリモジュール(MU<sub>i</sub>)の交換を実施する方法であって、該モジュール(MU<sub>i</sub>)はバス(MB)を介してシステムの処理手段(CPU)と通信し、該バス(MB)は、上記モジュール(MU<sub>i</sub>)が接続される接続ロケーション(C<sub>i</sub>)を備え、
- a) 正常構成のシステムに必要な接続ロケーション(C<sub>i</sub>)以外に、少なくとも1つの予備の接続ロケーション(C<sub>r</sub>)を備え、
- b) 交換すべきモジュールが識別されると、交換用モジュール(MU<sub>r</sub>)を上記予備接続ロケーションの1つ(C<sub>r</sub>)に接続し、

- c) 交換すべきモジュール(MU<sub>i</sub>)に向けられた全ての書き込み要求について、交換すべきモジュール(MU<sub>i</sub>)と交換用モジュール(MU<sub>r</sub>)により同時に同じアドレスで書き込み要求を実行し、交換すべきモジュール(MU<sub>i</sub>)に向けられた全ての読取り要求について、交換すべきモジュール(MU<sub>i</sub>)だけに読取り要求の実行を許可し、
- d) 交換すべきモジュールのメモリ空間全体にわたるアドレス集合全体での読取り要求、次いで、再書き込み要求から成る再コピー操作を開始し、
- e) 再コピー操作が終了すると、上記交換すべきモジュール(MU<sub>i</sub>)に向けられた後の全要求について、交換用モジュール(MU<sub>r</sub>)だけに後で起こった上記要求の実行を同一のアドレスで許可することを特徴とする方法。

- (2) 上記再コピー操作が、該システムで実行中の他のプログラムと並行して実施可能であることを特徴とする請求項1記載の方法。

(3) 交換すべきモジュール ( $MU_i$ ) だけに読取り要求の実行を許可するために、全ての読取り要求が交換すべきモジュール ( $MU_i$ ) と交換用モジュール ( $MU_r$ ) に同時に送られ、通常これら2つのモジュールが読み取るべきデータにアクセスし、アクセスされたデータの交換用モジュール ( $MU_r$ ) による伝送が禁止されることを特徴とする請求項1または2のいずれか一項に記載の方法。

(4) 交換用モジュール ( $MU_r$ ) が、該モジュールのステータスを交換用であると知らせるモードインジケータ ( $MOD$ ) によりマークされ、上記禁止が該モードインジケータ ( $MOD$ ) によって条件付けられることを特徴とする請求項3記載の方法。

(5) システムが、正常構成で  $n$  個のモジュールを備え、全ての要求は、対応するアドレスに応じて、「論理選択信号」( $STL$ ) と呼ばれる  $n$  個の

うち1つの信号をアクティブにし、

バス ( $MB$ ) に実際に接続された各モジュールは、「物理選択信号」( $ST_i$ ) と呼ばれる選択信号により制御されて、所定の要求に応じて2つのモジュール ( $MU_i$ 、 $MU_r$ ) を同時に選択することができよう、上記所定の要求に対応する論理選択信号 ( $STL$ ) は、上記2つのモジュール ( $MU_i$ 、 $MU_r$ ) にそれぞれ与えられる2つの物理選択信号 ( $ST_i$ 、 $ST_r$ ) を同時にアクティブにすることを特徴とする請求項4記載の方法。

(6) 物理選択信号 ( $ST_i$ ) が接続ロケーション ( $C_i$ ) を介してモジュール ( $MU_i$ ) に伝送され、各接続ロケーション ( $C_i$ ) にはステータスインジケータ ( $ON_i$ ) が付属し、

モジュール ( $MU_i$ ) が配置された接続ロケーション ( $C_i$ ) に対応する該ステータスインジケータ ( $ON_i$ ) が所定の論理値をもつ場合にだけ、物理選択信号 ( $ST_i$ ) がモジュール ( $MU_i$ )

に送られることを特徴とする請求項5記載の方法。

(7) 上記再コピー操作が終了した後、交換用モジュール ( $MU_r$ ) だけに要求の実行を許可するため、交換すべきモジュール ( $MU_i$ ) に付属するステータスインジケータ ( $ON_i$ ) と交換用モジュールに付属するモードインジケータ ( $MOD$ ) のそれぞれの論理値を変えることを特徴とする請求項6記載の方法。

(8) 上記メモリモジュール ( $MU_i$ ) にエラー検出および訂正手段 ( $ECC$ ) が付属し、モジュール ( $MU_i$ ) 中で検出されたエラーが訂正不可能となる前に該モジュール ( $MU_i$ ) の交換が実施されることを特徴とする請求項1~7のいずれか一項に記載の方法。

(9) バス ( $MB$ ) を介して複数のメモリモジュール ( $MU_i$ ) に接続される処理手段 ( $CPU$ ) を備え、該バス ( $MB$ ) には、上記モジュール ( $MU_i$ )

が接続される接続ロケーション ( $C_i$ ) が設けられ、更に、上記処理手段 ( $CPU$ ) から出たメモリアクセス要求に対応するアドレスに応じて上記モジュール ( $MU_i$ ) を選択するための制御手段 ( $SCU$ 、11) が設けられており、保守装置 ( $SP$ ) が該システムに接続されている、データ処理システムであって、

a) 正常構成のシステムに必要な接続ロケーション ( $C_i$ ) 以外に、ここに交換用モジュール ( $MU_r$ ) を受けるための少なくとも1つの予備接続ロケーション ( $C_r$ ) を備え、

b) 1つのモジュール ( $MU_i$ ) を別のモジュール ( $MU_r$ ) と交換するため、上記制御手段 ( $SCU$ 、11) は、

— 交換すべきモジュール ( $MU_i$ ) に向けられた書込み要求が、交換すべきモジュール ( $MU_i$ ) とこれに対応する交換用モジュール ( $MU_r$ ) により同時にかつ同じアドレスで実行され、

— 交換すべきモジュール ( $MU_i$ ) に向けられた読取り要求が、交換すべきモジュール ( $MU_i$ )

だけによって実行される

ように、保守装置(SP)により設定されることができ、

c) システムが、上記保守装置(SP)の制御下で、読取り要求と再書き込み要求から成る再コピー操作を交換すべきモジュール(MU<sub>i</sub>)のメモリ空間全体にわたるアドレス集合全体で実行するための手段を備える

ことを特徴とするシステム。

00 上記再コピーを実行するための手段が、処理手段(CPU)中にロードされたプログラムまたはマイクロプログラムから構成され、

該プログラムまたはマイクロプログラムが、上記処理手段(CPU)で実行中の他のプログラムと並行して実行可能であることを特徴とする請求項9記載のシステム。

01 上記制御手段(SCU、11)が、要求に対応するアドレスに応じて、モジュール(MU<sub>i</sub>)の

(MU<sub>i</sub>)にそれぞれ付属した禁止回路(11)から構成され、モジュールの該禁止回路(11)は、所定の第1の論理状態について、上記モジュール(MU<sub>i</sub>)中で読み取られたデータの伝送の禁止を制御する「モードマルチバイブレータ回路」と呼ばれるマルチバイブレータ回路(BM)を備え、任意のモジュールのマルチバイブレータ回路(BM)を保守装置(SP)により第1の論理状態に置くことができることを特徴とする請求項11記載のデータ処理システム。

03 システムが正常構成でn個のモジュール(MU<sub>i</sub>)を備え、上記選択回路(SCA、4)が、任意の要求に対応するアドレスに応じて、「論理選択信号」(STL)と呼ばれるn個の信号のうち1つの信号を発生する論理選択回路(SCA)を備え、上記選択回路(SCA、4)は変換回路(4)を備え、該変換回路は、論理選択信号(STL)に応じて、かつ上記保守装置(SP)に与えられた設定によって、1つもしくは複数のモ

物理選択信号(ST<sub>i</sub>)を発生するための選択回路(SCA、4)を備え、

該選択回路(SCA、4)は、保守装置(SP)により条件付けられて、所定のモジュール(MU<sub>i</sub>)に対応するアドレスの集合全体について、この集合のどのようなアドレスにも応答して、上記選択回路(SCA、4)が所定のモジュール(MU<sub>i</sub>)の物理選択信号(ST<sub>i</sub>)と、別のモジュール(MU<sub>r</sub>)の物理選択信号(ST<sub>r</sub>)を同時に発生するようにし、

上記制御回路(SCU、11)が禁止手段(11)を備え、該禁止手段は、少なくとも1つの任意のモジュール(MU<sub>r</sub>)が該モジュール(MU<sub>r</sub>)中で読み取られたデータを送ることを禁止するように、保守装置(SP)により条件付けることができる

ことを特徴とする請求項9または10のいずれか一項に記載のデータ処理システム。

02 上記禁止手段(11)が、メモリモジュール

ジュール(MU<sub>i</sub>、MU<sub>r</sub>)にそれぞれ向けられる1つもしくは複数の物理選択信号(ST<sub>i</sub>、ST<sub>r</sub>)を発生することの特徴とする請求項12記載のデータ処理システム。

04 物理選択信号(ST<sub>i</sub>)が接続ロケーション(C<sub>i</sub>)を介してモジュール(MU<sub>i</sub>)に伝送され、各接続ロケーション(C<sub>i</sub>)にはステータスマルチバイブレータ回路(ON<sub>i</sub>)が付属し、該マルチバイブレータ回路の論理状態は上記保守装置(SP)によって設定され、上記モジュール(MU<sub>i</sub>)が配置された接続ロケーション(C<sub>i</sub>)に付属する該ステータスマルチバイブレータ回路(ON<sub>i</sub>)が、所定の第1の論理状態にある場合にだけ、物理選択信号(ST<sub>i</sub>)がモジュール(MU<sub>i</sub>)に送られることを特徴とする請求項13記載のデータ処理システム。

05 上記制御手段(SCU)が、モード変更回路(5)を備え、該モード変更回路(5)は、上記

スタートマルチバイブレータ回路(ON<sub>1</sub>)の1つが、所定の第2の論理状態に置かれているとき、モード変更信号(CHMOD)を発生し、該モード変更信号(CHMOD)は、各モジュール(MU<sub>i</sub>)の禁止回路(11)に与えられ、このとき該禁止回路(11)はモードマルチバイブレータ回路(BM)を第2の論理状態に置くことを特徴とする請求項14記載のデータ処理システム。

### 3. 発明の詳細な説明

#### 産業上の利用分野

本発明は、データ処理システムの分野に関し、特に詳細には、このようなシステムの使用可能性の改善の問題に関する。

#### 従来の技術

長年にわたり、設計者はシステムの信頼性を改善することに専念してきたが、特に部品の信頼性の向上により大きな進歩が達成された。さらに、適切なシステムの論理的および技術的構成により

これら部品中に欠陥が存在してもエラーを避けることができる。

しかし、使用した手段の有効性がどうあれ、エラーを訂正して欠陥をカバーする可能性は限られている。このような制限は、システムが複雑になればなるほど大きくなる。

この問題を解決するため、システムの欠陥要素を交換することが考えられる。

このような修理により起こる妨害は、システムの使用可能性に影響を及ぼすので、当然できる限り減少しなければならない。

使用可能性の問題に取り組むためには、データ処理システムを構成する様々な要素を考慮しなければならない。システムは主に3種類のユニットすなわち、プロセッサ、メモリモジュールおよび入力出力制御ユニットをいくつか備えている。このようなシステムは一般に、バスを介して複数のメモリモジュールと通信する複数のプロセッサを備えている。プロセッサは、バスに直接あるいはインターフェースとして作用する制御ユニット

を介して接続することができる。外部と通信するために、プロセッサは1つもしくは複数の入力出力ユニットにも接続されている。主要素の他に、システムの初期化および保守、例えば、様々なユニット中で検出されたエラーの報告のため使用される通常「サービスプロセッサ」と呼ばれる保守装置が一般に上記要素に付属している。

多数の基本プロセッサを備えたシステム(マルチプロセッサシステム)中で、プロセッサのうちの1つが故障しても、必ずしもシステムが即座に止まるわけではない。実際には、プロセッサ中に存続するエラーがサービスプロセッサにより検出されると、このサービスプロセッサは故障したプロセッサを論理的に遮断することができる。その結果、システムは残ったプロセッサにより継続して機能することができるが、勿論性能は低下する。保守サービスにより後で故障したプロセッサを新しい(交換用)プロセッサと交換し、その論理再接続を制御しなければならない。これらの操作は、現在のシステムが通常備えている再構成可能性に

より実現することができる。

よく知られたシステムでは、プロセッサの故障およびその交換はユーザの目に見える大きな妨害は引き起こさない。実際には、冗長性により、機能状態は中断されず、故障時点において故障プロセッサで実行中のプロセスを再実行することができる。反対に、メモリモジュールの故障では、故障したモジュールが復元不可能なデータを含む可能性があるので、全く異なる問題が生じる。これは、データがシステム自体に関する場合さらに深刻になる。外部メモリ中のメモリの内容の保護を定期的に実行するために、運転システムが設計されていたとしても、最後に更新されたデータを含むモジュールは、このような保護が実施される前に故障する可能性がある。

この危険性を減少させるため、現在のメモリモジュールは、技術語を成すビットの各々が異なる部品に保存されるように複数の部品から構成されている。その結果、1語の任意の2つのビットについての故障の確率は等しく、互いに無関係とな

るので、予備部品中に記憶されたハミングタイプの自動訂正コードを使用することができる。このようにして、1つまたは複数の部品の故障を検出し、訂正することができる。

#### 発明が解決しようとする課題

しかし、モジュールの寿命中、訂正不可能となるまで故障が蓄積する可能性もある。従って、この限界時点に達する前にモジュールの交換を行うことが望ましい。いずれにせよ、有益なデータはこのモジュール中に記憶されている可能性があることを考慮しなければならない。この問題の解決法は、運転システムが許す限り、故障したモジュールの内容を外部メモリ中に再コピーすることにある。モジュールの交換後、保護した情報を再びロードする。しかし、この方法は、故障したモジュールが運転システムの要素を含んでいる場合に、特に実施するのが難しい。

もう1つの解決法は、故障したモジュールのデータをシステムの1つもしくは複数の別のモジュールに移すことである。しかし、この方法は、メモリ空間の再割当てを行う必要があり、その結果、該当するメモリ空間用のアドレス対応テーブルを管理しなければならないソフトが複雑になる。

本発明は、システムの機能状態をできる限り妨害せずにメモリモジュールを交換するための簡単な解決法を提供することを目的とする。

#### 課題を解決するための手段

本発明は、データ処理システムの1つもしくは複数のメモリモジュールの交換を実施する方法であって、該メモリモジュールはバスを介してシステムの処理手段と通信し、該バスは、上記モジュールが接続される接続ロケーションを備え、

a) 正常構成のシステムに必要な接続ロケーション以外に、少なくとも1つの予備の接続ロケーションを備え、

b) 交換すべきモジュールが識別されると、交換用モジュールを上記予備接続ロケーションの1つに接続し、

c) 交換すべきモジュールに向けられた全ての書き込み要求について、交換すべきモジュールと交換用モジュールにより同時に同じアドレスで書き込み要求を実行し、交換すべきモジュールに向けられた全ての読取り要求について、交換すべきモジュールだけに読取り要求の実行を許可し、

d) 交換すべきモジュールのメモリ空間全体にわたるアドレス集合全体での読取り要求、次いで再書き込み要求から成る再コピー操作を開始し、

e) 上記再コピー操作が終了すると、交換すべきモジュールに向けられた後の全要求について、交換用モジュールだけに後で起こった上記要求の実行を許可する

ことを特徴とする方法を提供する。

この方法により、再コピー操作がシステムで実行中の他のプログラムと同時に実施可能となることに留意すべきである。実際には、再コピーの間中、交換すべきモジュールに向けられた全ての要求は、再コピーの終了を待つことなく満たされる。反対に、一般に手で行われるメモリ再構成を実施

する従来の方法では、取り替えるべきモジュールにあるプログラムは繰り返さなければならない。

従って、このような特性を利用し、本発明の別の特徴に従えば、再コピー操作は、システムで実行中の他のプログラムを並行して実行す可能である。

再コピー操作の実行では、交換すべきモジュールに向けられた全ての読取り要求を交換すべきモジュール中だけで行い、交換用モジュールでは行わないことが必要である。このため、交換すべきモジュールだけに読取り要求を送るようにすることができる。この方法も検討可能であるが、次のような場合に実施が困難となる。再コピー操作が終了したとき、交換用モジュールはそのステータスを変えて「正式の」モジュールになる。ところが、このステータスの変更が起こった時点から、交換すべきモジュールに向けられた読取りおよび書き込み操作は、通常交換用モジュールが実行しなければならない。同時に、交換すべきモジュールは他の一切の要求を実行してはならない。しかし、

読取り要求の実行は、一般に複数の段階的操作を必要とする。その結果、検討している方法では、ステータスの変更が読取り操作中に起こらないようにしなければならない。そのためには、読取り期間以外にしかステータスの変更を許可しない機構を備えることができるが、これは実施を複雑にすることになる。

この問題点を解決するため、本発明の別の特徴に従えば、再コピー操作中、読取りまたは書込み要求を交換すべきモジュールと交換用モジュールに同時に送り、読取り要求の場合には、2つのモジュールは通常読み取るべきデータにアクセスするが、アクセスされたデータを交換用モジュールが送ることは禁止される。

従って、読取り操作中にステータス変更が起っても、読取りの操作は確実に実施される。

本発明の別の特徴に従えば、アクセスされたデータ伝送の禁止は、交換用モジュールを示し、このモジュールの代替ステータスを知らせることのできるモードインジケータにより調整される。

さらに詳細には、本発明の別の特徴に従えば、本方法は、システムが正常構成で $n$ 個のモジュールを備え、あらゆる要求が、対応するアドレスに応じて「論理選択信号」と呼ばれる $n$ 個のうち1つの信号をアクティブにし、バスに実際に接続された各モジュールは、「物理選択信号」と呼ばれる選択信号により制御されて、所定の要求に応じて2つのモジュールを同時に選択することができ、該所定の要求に対応する論理選択信号は、上記2つのモジュールにそれぞれ与えられる2つの物理選択信号を同時にアクティブにすることを特徴とする。

本発明はまた、すでに説明した方法の実施を可能にするデータ処理システムを提供する。本発明に従うシステムは、バスを介して複数のメモリモジュールに接続される処理手段を備え、該バスは、上記モジュールが接続される接続ロケーションを備える。このシステムは、処理手段から出たメモリアクセス要求に対応するアドレスに応じてモジュールを選択するための制御手段も備え、さらに

複数のメモリモジュールを備える従来のシステムでは、読取りまたは書込み操作は、1つのアドレスから発生した選択信号を該当するモジュールに送信することにより初期化される。従って、これらのシステムは選択回路を備えており、この回路はプロセッサの1つが供給した論理アドレスに応じて、 $n$  ( $n$ はモジュール数)個のうち1つの選択信号を送る。本発明の実施のためには、選択回路を変える必要があるが、できる限り簡単な方法で変えるのが望ましい。このため、従来の回路を再使用するが、信号がモジュールに直接送信されることはない。これらの信号は、ソフトのレベルで明白な「論理」モジュールを定めることのできる「論理選択信号」と呼ばれる中間信号として作用する。次に、論理信号の物理信号への変換により物理的レベルで論理モジュール—物理モジュールの対応を実現する。正常な機能状態では、この対応は一対一である。反対に、再コピーの間、交換すべきモジュールと交換用モジュールに同時に送られる2つの物理信号は論理信号に対応する。

保守装置が該システムに接続されている。上記システムはさらに、

a) 正常構成のシステムに必要な接続ロケーション以外に、交換用モジュールを受ける少なくとも1つの予備の接続ロケーションを備え、

b) 1つのモジュールを別のモジュールと交換するために、上記制御手段は、

— 交換すべきモジュールに向けられた全ての書込み要求が、交換すべきモジュールとこれに対応する交換用モジュールにより同時にかつ同じアドレスで実行され、

— 交換すべきモジュールに向けられた全ての読取り要求が、交換すべきモジュールだけによって実行される

ように、保守装置により条件付けることができ、

c) システムが、上記保守装置の制御下で、読取り要求と再書込み要求から成る再コピー操作を交換すべきモジュールのメモリ空間全体を覆うアドレス全体で実行するための手段を備えることを特徴とする。

特殊な実施態様によれば、上記システムは、再コピー操作を実行する手段が、上記処理手段中に充填されたプログラムまたはマイクロプログラムから成り、該プログラムまたはマイクロプログラムが、上記処理手段で実行中の他のプログラムと並行して実行可能であることを特徴とする。

本発明を実施するための他の特徴および実施例の詳細は、添付の図面を参照にして以下に説明することにする。

#### 実施例

第1図は、非限定的な例として、本発明の実施を可能にするデータ処理システムを示す。ここに説明するシステムは、複数の基本プロセッサCP<sub>1</sub>、...、CP<sub>i</sub>、...、CP<sub>j</sub>から構成される処理手段CPUを有するマルチプロセッサシステムである。これらプロセッサの各々は、他のユニットと通信することができるようにシステムバスSBに接続されている。1つまたは複数の入力-出力ユニットIOUもまたシステムバスSBに接続さ

れている。さらにこのシステムは、接続ロケーションC<sub>1</sub>、C<sub>2</sub>、...、C<sub>i</sub>、...、C<sub>j</sub>をそれぞれ介してメモリバスMBに接続される複数のメモリモジュールMU<sub>1</sub>、MU<sub>2</sub>、...、MU<sub>i</sub>、...、MU<sub>j</sub>から構成されるメモリを備える。基本プロセッサとメモリモジュール間の情報の交換を可能にするため、システムバスSBが、メモリ制御ユニットSCUを介してメモリバスMBに接続されている。メモリ制御ユニットSCUは第一に基本プロセッサから出た要求を一個所に集め、第二に制御および禁止信号をメモリモジュールと交換し、プロセッサにより所望の読取りおよび書き込み操作を実施する働きをする。

「中央サブシステム」と呼ばれる上記集合体には、特にシステムの初期化および保守操作に役立つサービスプロセッサから主に構成される保守装置が付属する。サービスプロセッサは、オペレータとの対話を可能にする表示および制御手段を備える。いくつかの保守操作を実施するため、サービスプロセッサSPは、保守ラインMC<sub>1</sub>、MC<sub>2</sub>、

MC<sub>3</sub>をそれぞれ介して様々なユニットCPU、SCU、MU<sub>i</sub>に接続されている。これらのラインは、ユニットに含まれる保守回路(図示せず)に接続される。これらの保守回路は、診断を行ったり、サービス回路により命令される保守操作をユニット中で行うために設計されている。さらにサービスプロセッサは端子と同じ様にシステムに接続することができる。この接続方法(図示せず)により、テストプログラム、特に再コピー操作を実施するための読取りおよび再書き込みプログラムを起動させることができる。

ここに行う説明では、本発明に従うシステムは予備コネクタC<sub>r</sub>の存在によってのみ従来のシステムと物理的に区別される。尚、この予備コネクタC<sub>r</sub>は、メモリモジュールの交換操作に使用される。

上に説明したシステムは、メモリに割当てられた個別のバスMBを有する。しかし、プロセッサ、入力-出力ユニットおよびメモリモジュールが共有する単一のバスを備えたシステムにも本発明は

適用できることに留意されたい。

第2図は、メモリ制御ユニットSCU、ならびに該ユニットと一方でシステムバスSB、他方でメモリバスMBとの接続をさらに詳細に示すものである。

従来の方法では、制御ユニットSCUは、システムバスSBを介してプロセッサと制御信号RQおよび応答信号ACK、アドレス信号ADLおよびデータDTLを交換する。さらに、制御ユニットSCUはメモリモジュールに向けて選択信号ST、制御信号ED、LD、WR、LGおよびモジュール内のアドレス信号ADを送り、モジュールから監視信号BUSY、DOFを受け、モジュールとデータDTを交換する。

本発明の特殊な実施例によれば、制御ユニットSCUは、モード変更信号CHMODも送る。この信号については後に詳しく説明することにする。

本発明は、例えば、「メッセージ」形式のバス等任意の形式のシステムバスに充分適用可能であることに留意されたい。



説明した実施例では、メモリモジュールと交換された信号を2種類に分類することができる。すなわち、全モジュールに共通の信号AD、DT、LG、WR、CHMODと、ただ1つのモジュールにだけ関与する信号ST、ED、LD、BUSY、DOFである。後者の信号は、メモリバスに接続可能なモジュールと同数のラインにより運搬される。例えば、選択ラインSTはコネクタC<sub>1</sub>、C<sub>2</sub>、...、C<sub>i</sub>、...、C<sub>r</sub>にそれぞれ接続されたラインST<sub>1</sub>、ST<sub>2</sub>、...、ST<sub>i</sub>、...、ST<sub>r</sub>から構成される。

本発明を実施するためには、制御ユニットSCUが1つの要求について複数のモジュールを同時に選択することができる必要がある。反対に、従来のシステムでは、制御ユニットは一度にただ1つのモジュールしか選択することはできない。実施を簡略にするため、提案する解決法では、従来の制御ユニットを構成する要素の大部分をそのまま残し、これに同時選択を可能にする予備回路を付加することを試みる。

制御ユニットSCUにおいて、従来の3つの主要サブシステム、すなわちデータ伝送回路SCD、アドレス処理回路1、2、3、ならびに制御回路SCAが識別される。前述の予備回路はモジュールと制御回路SCA間で交換される信号の変換回路4である。これらの機能回路に、例えば、接続系列から成る保守ラインMC<sub>1</sub>を介してサービスパロセッサSPに接続される保守回路5、5Aが付加される。

このような構成の実施例で、制御回路SCAとモジュール(選択、制御、監視)間で交換される非共通の各形式の信号について、n個(nは正常構成でのシステムのモジュール数)のうち一度にただ1つの信号がアクティブである。従来のシステムでは、これら信号はモジュールと直接交換される。反対に、本発明によれば、制御回路SCAから出た非共通信号およびこれが受けた非共通信号は、変換されなければならないので、「論理」信号となる。同様に、従来のシステムの場合にこれらの信号により該当する実際のあるいは「物理」モ

ジュールに対応する付属の「論理」モジュールを定義する。

このように、制御回路SCAは論理選択信号STL、論理制御信号EDL、LDLを送り、論理監視信号BUSYL、DOFLを受ける。これらの論理信号に、変換後、物理信号と実際に交換され、「物理」信号と呼ぶことのできる信号ST、ED、LD、BUSY、DOFが対応する。勿論、共通信号WR、LGならびにADおよびDTはこの定義には当てはまらない。システムが正常な構成にあるとき、変換回路4は各論理信号と単一物理信号との間の単純な一対一の対応を成立させる。

これから第2図に示した制御ユニットならびにその機能についてさらに詳しく説明することにする。

プロセッサから出た要求は、書込みの場合にはアドレス信号ADLおよびデータDTLを伴う制御信号RQの形態をしている。

この要求ならびに制御ユニットの状態に応じて、回路SCAは応答信号ACKを供給する。アドレ

ス処理回路は、回路SCAにより制御され、バスSBのアドレスADLのラインに接続された入力緩衝装置1とバスMBのアドレスADのラインに接続された出力緩衝装置3を備える。入力緩衝装置1は複数のレジスタから構成することができ、各レジスタはプロセッサまたはシステムの入力出力制御ユニットに割当られる。同様に回路SCAにより制御されるデータ伝送回路SCDは、エラー検出および訂正回路ECCを介して、システムバスSBのデータDTLのラインをメモリバスMBのデータDTのラインに接続する。回路ECCは従来の形式でよく、エラー検出信号ERを送る。入力緩衝装置1の出力は、受けたアドレスADLと選択すべき論理モジュール間の対応を成立させるのに役立つ論理構成の連想テーブル2に選択的に接続される。この対応は、制御回路SCAに伝送された一致信号HITにより実現される。制御信号RQおよび一致信号HITに応じて、制御回路SCAは、メモリモジュールを制御するのに役立つ論理選択信号STLおよび論理制御信号

EDL、LDLを発生することができる。さらに回路SCAは、モジュールの状態および応答を表す論理監視信号BUSYL、DOFLを受ける。

制御ユニットSCUはまた、読取りまたは書込みのいずれに関するかを示す論理値を有する信号WRを送る。さらに、制御ユニットは移動長さを示す信号LGを送る。これらの信号WR、LGは制御回路SCAから出て、変換なしにモジュールに与えられる。

制御ユニットSCUは第一に、サービスプロセッサから出たコマンドを記憶、伝送し、第二にサービスプロセッサの制御下で制御ユニットに関するエラー報告を記憶、伝送する働きをする。特に、回路5は、変換回路4の位置決めと前述の信号CHMOD発生のため保守回路5Aを制御する。

変換回路4を除き、制御ユニットSCUを構成する要素は、メモリ制御ユニットの技術において公知の形式のものである。従って、これらの実現は当業者の技術的範囲内にあるので、これら要素についての説明は省略する。本発明がさらに明瞭

に理解されるように、制御ユニットと交換される主要な信号と関連してこの制御ユニットの主な機能について説明することにする。勿論、ここで説明する制御ユニットは一例にすぎず、この制御ユニットの多数の変形例が、本発明の範囲を越えることなく考えられる。

ここで考慮する例では、制御ユニットSCUは、複数のプロセッサと複数のメモリモジュール間のインターフェースとして作用する。本来のメモリ制御ユニットの役割の他に、制御ユニットSCUはプロセッサから出た要求の一箇所集中化の機能も有する。このため、待機中の要求は回路SCAにより管理された待機ファイル中に配置される。各論理モジュールについて、システムがプロセッサおよび入力-出力ユニットを備えるのと同数の要求を記憶することができる待機ファイルを用意する。受けた要求に回答し、該当するメモリモジュールの使用可能度に応じて、回路SCAは、アドレス情報ADおよびデータDTを伴う、あるいはこれらが後に続く選択信号および論理制御信号

の伝送によりモジュールのレベルで読取りまたは書込み操作の実行を開始する。要求の受け手であるモジュールが使用できない場合には、ラインBUSYLの1つに現れる使用中の信号により制御回路SCAがこれを検知する。この場合、回路SCAは、モジュールが解放されるまでモジュールに対応する待機ファイルの緩衝メモリ中に待機中の要求を維持する。

待機中の要求の受け手であるモジュールが使用可能になれば、信号BUSYLの1つは、例えば、論理値0を取って状態を変え、要求を実行することができる。待機ファイルの更新と並行して、回路SCAは論理選択信号STLの1つをアクティブにし、この論理選択信号が今度は信号STをアクティブにする。回路SCAはまたアドレスADを出力レジスタ3中に配置する。ラインLGは移動長さを表す論理プロフィールに配置される。最後に、要求が読取りあるいは書込みのどちらであるかによって、信号WRは論理値0または1に位置する。上記の信号は、要求を実行する状態にあ

る該当するモジュールが受ける。

読取りの場合には、モジュールで読み取られたデータの使用可能度は、論理信号DOFLに変換された信号DOFの1つによって制御回路SCAに通知される。回路SCAがデータを受ける状態にあるときは、モジュールが受けた信号EDの1つをアクティブにし、データの伝送を許可する。次に、これらデータは回路SCDNO入力緩衝装置にロードされる。その後、これらデータは、システムバスに関して回路ECCを介して出力緩衝装置に伝送される。エラーが検出された場合には、回路ECCは信号ERを有効にし、これは回路5により報告される。

書込みの場合には、データが回路SCDの出力緩衝装置中に存在すれば、制御回路SCAは信号LDLの1つにより信号LDをアクティブにし、この信号LDはモジュールに伝送されて、該モジュールがメモリバスに存在するデータDTを報告するのを許可する。

以上の説明は正常のメモリアクセスに関するも

のである。

本発明を実施するため、変換回路4は交換すべきモジュール中と交換用モジュール中での書き込み操作の同時実行を可能にする。また、変換回路4は交換すべきモジュールだけに読取り操作の実行を許可する手段を備えるか、あるいはこのような手段に接続されていなければならない。

回路4とこれに付属する上記手段の詳細な説明は後に行うが、その前に第3図を参照にして回路が受ける論理信号を発生させることができる手段について説明することにする。

第3図は、回路SCAに属する論理選択回路に付属する論理構成の連想テーブル2を示す。読取りまたは書き込み要求を実行するために、制御ユニットSCUは対応するアドレスADLをアドレスRAのレジスタ中に配置する。アドレスADLはさらに3つの主要領域に区分することができる。すなわち、アドレスの大きい重みから形成される領域ADH、小さい重みから形成される領域ADBおよび残りのビットから形成される領域ADで

ある。連想テーブル2はn個の論理構成のレジスタ $R_1$ 、 $R_2$ 、...、 $R_j$ 、 $R_n$ 。(ただしnは論理モジュール、すなわち正常構成においてメモリを構成するモジュールの数)を備える。各レジスタ $R_j$ は、対応するモジュールに特有の値を有する複数の情報領域ADH、T、E、Vを含む。最初の領域ADHは、モジュールに帰属するアドレスの大きな重みに割り当てられる。モジュールが異なる寸法を有することが可能であれば、領域Tはモジュールの寸法に割り当てられる。同様に領域Eは、使用した組み合わせの種類を表す情報を含むようにすることができる。最後の領域Uは通常論理モジュールの有効性のビットを含むようにされている。

受けたアドレスADLと該当する論理モジュールj間に対応を成立させるため、各レジスタの内容は、アドレスの大きい重みADHおよび小さい重みADBと比較される。これらの比較は、比較器 $K_1$ 、 $K_2$ 、...、 $K_j$ 、...、 $K_n$ 。中で行われ、通常これら回路のうちただ1つの回路が一

致信号HIT<sub>1</sub>、HIT<sub>2</sub>、...、HIT<sub>j</sub>、HIT<sub>n</sub>。をアクティブにし、これら信号がアドレスに割り当てられた論理モジュールjを識別することができる。一致信号HIT<sub>j</sub>に応じて、論理選択回路6は論理選択信号STL<sub>1</sub>、STL<sub>2</sub>、...、STL<sub>j</sub>、...、STL<sub>n</sub>。の1つをアクティブにする。正常の機能状態では、論理選択信号STL<sub>j</sub>のうちただ1つの信号が、例えば、論理値1を取ってアクティブである。勿論、この論理選択信号は、該当する論理モジュールが使用可能であるという条件でのみアクティブにすることができる。

一致信号HIT<sub>j</sub>はまた、すでに説明した信号LDLまたはEDLのどちらをアクティブにするべきかを選択するために、制御回路SCAが使用する。すでに述べたように、これらの要素は、メモリのアドレス指定に通常使用される技術に属するので、その詳細な説明は本発明の範囲を越えることになる。

第4図は、選択信号ST、STLに関する変換

回路4の一部を示す。この回路は、メモリバスが接続ロケーションを有するのと同数のマルチプレクサMX<sub>1</sub>、MX<sub>2</sub>、...、MX<sub>j</sub>、MX<sub>n</sub>。を備える。各マルチプレクサは入力で論理選択信号STL<sub>1</sub>、...、STL<sub>j</sub>、...、STL<sub>n</sub>。から構成される信号STLを受ける。これらマルチプレクサには、物理構成のレジスタRP<sub>1</sub>、RP<sub>2</sub>、...、RP<sub>j</sub>、RP<sub>n</sub>。がそれぞれ付属している。各マルチプレクサMX<sub>j</sub>は、これに付属する物理構成レジスタRP<sub>j</sub>の内容により制御される。各レジスタRP<sub>j</sub>は、サービスプロセッサの受けた順番に応じて保守回路5Aにより再ロードされることができる。マルチプレクサの出力は、コネクタC<sub>1</sub>、C<sub>2</sub>、...、C<sub>j</sub>、C<sub>n</sub>。にそれぞれ送られた、従って、物理モジュールMU<sub>1</sub>、MU<sub>2</sub>、...、MU<sub>j</sub>、MU<sub>n</sub>。にそれぞれ向けられたST<sub>1</sub>、ST<sub>2</sub>、...、ST<sub>j</sub>、ST<sub>n</sub>。を送る。

第4図の回路の機能を説明する前に、マルチプレクサMX<sub>j</sub>の1つと、物理モジュールMU<sub>j</sub>に割り当てられ、該マルチプレクサに付属した物理

構成レジスタを詳細に示す第5図を参照にして説明することにする。マルチプレクサMX<sub>i</sub>は、n個の入力STL<sub>1</sub>、STL<sub>2</sub>、...、STL<sub>n</sub>、STL。および出力STL<sub>i</sub>を備える。マルチプレクサの入力Aに与えられたアドレス信号に応じて、確認入力Vに与えられた確認信号がアクティブであるとき、出力STL<sub>i</sub>は、入力STL<sub>i</sub>の1つの値を取る。物理構成レジスタRP<sub>i</sub>は物理モジュールMU<sub>i</sub>に付属する論理モジュールML<sub>i</sub>の番号を含む。レジスタRP<sub>i</sub>には、ステータスマルチパイプライン回路BE<sub>i</sub>が付属し、この回路の出力はマルチプレクサMX<sub>i</sub>の確認入力Vに接続されている。マルチパイプライン回路BE<sub>i</sub>は物理モジュールMU<sub>i</sub>に付属するステータスインジケータON<sub>i</sub>を含む。保守回路5Aは、レジスタRP<sub>i</sub>およびマルチパイプライン回路BE<sub>i</sub>に入力信号それぞれCHML<sub>i</sub>とCHI<sub>i</sub>、ならびに確認信号それぞれVMLとVCHを供給する。

このような構成により、サービスプロセッサはレジスタRP<sub>i</sub>に任意の論理モジュールML<sub>i</sub>の

番号をロードすることができる。従って、論理モジュールjを物理モジュールMU<sub>i</sub>に対応させるためには、レジスタRP<sub>i</sub>の内容ML<sub>i</sub>を強制的に値jにするだけでよい。この場合、信号STL<sub>i</sub>の活動化は、物理モジュールMU<sub>i</sub>の選択を可能にする信号ST<sub>i</sub>の活動化を引き起こす。

論理信号EDLおよびLDLの物理信号EDおよびLDへの変換は、第4図の手段と同じ回路手段により実現することができる。勿論、レジスタRP<sub>i</sub>とステータスマルチパイプライン回路BE<sub>i</sub>は、3つの変換回路に共通であってもよい。

例えば、初め論理モジュールjに対応したモジュールMU<sub>i</sub>の内容を交換用モジュールMU<sub>j</sub>中に再コピーするためには、まず値jをレジスタRP<sub>i</sub>にロードする。従って、モジュールMU<sub>i</sub>とMU<sub>j</sub>にそれぞれ付属するレジスタRP<sub>i</sub>とRP<sub>j</sub>は、双方とも値jを含む。このようにして、論理モジュールjに向けられた全書き込み要求は、モジュールMU<sub>i</sub>とMU<sub>j</sub>に物理的に同時に向けられる。以下の説明では、読取りの場合はどのように

扱うかを見ることにする。

選択信号および制御信号の変換の問題は、第4図の回路により解決されたので、以下は第6図を参照にして、監視信号、すなわちモジュールにより送られる信号について扱うことにする。

第6図は、モジュールにより送られる使用中の信号BUSY<sub>i</sub>の変換を可能にする回路の実施例を示す。第4図の回路と同様に、物理構成のレジスタRP<sub>i</sub>を使用する。これらのレジスタは、付属するレジスタ中に含まれる論理モジュールの番号によりそれぞれアドレス指定されたデマルチプレクサDX<sub>1</sub>、DX<sub>2</sub>、...、DX<sub>n</sub>、DX<sub>r</sub>を制御する。各デマルチプレクサDX<sub>i</sub>は物理モジュールMU<sub>i</sub>に付属し、入力でこのモジュールの使用中の信号BUSY<sub>i</sub>を受け取る。また各デマルチプレクサMX<sub>i</sub>は、アドレスAの入力で受けたアドレスに応じてn個の信号から選択された信号を出力で送る。さらにこの回路は、デマルチプレクサDX<sub>1</sub>、DX<sub>2</sub>、...、DX<sub>n</sub>、DX<sub>r</sub>の同じ列jの入力が、この列に割り当てられた論理ゲ

ートG<sub>j</sub>の入力に接続されるように、デマルチプレクサの出力に接続された論理ゲートG<sub>1</sub>、G<sub>2</sub>、...、G<sub>r</sub>を備える。各論理ゲートG<sub>j</sub>は、論理使用中信号BUSY<sub>j</sub>を供給する。モジュールの使用中信号BUSY<sub>i</sub>が、このモジュールが使用中のとき、論理値1を取るとするならば、ゲートG<sub>j</sub>はゲートOUである。このように、再コピーの最中に、2つのレジスタ、例えば、RP<sub>i</sub>とRP<sub>j</sub>には同じ論理番号jがロードされる。対応するデマルチプレクサDX<sub>i</sub>とDX<sub>j</sub>は、同じ論理ゲートG<sub>j</sub>の入力にこれらモジュールの使用中信号BUSY<sub>i</sub>とBUSY<sub>j</sub>を伝送する。その結果、モジュールMU<sub>i</sub>またはMU<sub>j</sub>のいずれかが使用中のとき、ゲートG<sub>j</sub>の出力BUSY<sub>j</sub>は論理値1を取り、論理モジュールj、従って、対応する物理モジュールMU<sub>i</sub>とMU<sub>j</sub>の選択を一切禁止する。

物理信号DOFの論理信号DOFLへの変換を実施するために同様の回路を使用することができる。

以上、モジュールM<sub>U<sub>i</sub></sub>の内容の別のモジュールM<sub>U<sub>j</sub></sub>への再コピーは、読取りを行った後、物理モジュールM<sub>U<sub>i</sub></sub>に初め付属していた論理モジュールjにより覆われる全メモリ空間の再書き込みを行うことにより実現されることを見てきた。物理モジュールのレベルでは、問題の論理モジュールjに関する全ての読取りは、交換すべきモジュールM<sub>U<sub>i</sub></sub>だけにより実行されなければならないのに対し、全ての書き込みは、交換すべきモジュールM<sub>U<sub>i</sub></sub>と交換用モジュールM<sub>U<sub>j</sub></sub>で同時に実行されなければならない。この操作を可能にするために、交換用モジュールは、このモジュールの読取りの全実行を妨げるため目印を付けなければならない。この目的のためには、多数の解決法が考えられる。例えば、交換用モジュールに向けての全ての読取り要求の伝送を禁止することができる。これは、読取り操作が実行されたとき、対応する物理モジュールの代替ステータスを知らせるインジケータに応じて、該当するマルチプレクサの確認信号を強制的にゼロにすることにより実現する

なければならない。さらに、交換用モジュールに付属するマルチプレクサ回路の状態を変える必要がある。勿論、このマルチプレクサ回路の状態の変更は、妨害がメモリアクセスの実行時に現れるとすれば、妨害を防ぐため完全に同期でなければならない。しかし、この同期化にもかかわらず、読取り操作の実行中の状態の変更には問題が生じる。通常、読取りは複数の段階で行われる。交換用モジュールが読取り要求を受けていない、従って、全く実行していないのに、交換すべきモジュールはそのデータが伝送される前に無効になる恐れがある。この問題を防ぐため、読取り操作時以外にしか状態変更を許可しないように実行中の全読取り操作を永続的に監視する監視機構を備える必要がある。

このような機構により、実施が非常に複雑になることは明らかである。このために、本発明の特徴に従い、異なる解決法が採用された。この方法によれば、読取りならびに書き込みの全ての要求は、交換すべきモジュールと交換用モジュールに同時

ことができる(WR=0)。この解決法を実施するためには、各物理構成レジスタR<sub>P<sub>i</sub></sub>にモードマルチプレクサ回路を付属させるだけでよい。このマルチプレクサ回路の論理状態は、対応する物理モジュールが「正式な」モジュール、あるいは交換用モジュールであるかを示す。このとき、マルチプレクサの確認信号Vは、モードマルチプレクサ回路の論理状態、ステータスマルチプレクサ回路B<sub>E<sub>i</sub></sub>の論理状態および読取り/書き込み信号WRによって決定される。

しかし、この解決法は、次のような点を考慮に入れた場合に問題が生じる。再コピーが終了すると、交換用モジュールが正式のモジュールになるのに対し、交換すべきモジュールは非アクティブになる新しい再構成でシステムを立て直さなければならない。このようなステータスの変更は、サービスプロセッサにより初期化され、保守回路5により実行されるが、この保守回路5は、非アクティブにしたいモジュールM<sub>U<sub>i</sub></sub>に付属するステータスインジケータON<sub>i</sub>をゼロにリセットしな

に送られる。しかし、読取りの場合には、交換すべきモジュールだけがこのモジュールにアクセスされたデータを実際に送ることを許可される。その結果、ステータスの変更は、情報を失うことなく読取りの最中に行うことができる。

この解決法の実施について、メモリモジュールM<sub>U<sub>i</sub></sub>、ならびにメモリバスMBと交換された主要信号を示す第7図を参照にして以下に説明することにする。

公知のように、モジュールM<sub>U<sub>i</sub></sub>は一般に複数の構成要素から成るメモリ回路8を備える。メモリ回路8には、アドレスおよび読取りまたは書き込み操作の実行に必要な制御信号を該回路に供給する制御装置7が付属している。データDTは、エラー検出および訂正回路によるコーディング後、メモリ回路8が受ける。制御装置7はすでに定義した信号ST<sub>i</sub>、LD<sub>i</sub>、ED<sub>i</sub>、DOF<sub>i</sub>、BUSY<sub>i</sub>、WR、LGをバスMBと交換する。さらに、制御装置は入力緩衝装置9を介してアドレス信号ADを受取る。メモリ回路8は、主に入力

および出力緩衝装置とこれらに付随する増幅器から構成されるインターフェース回路10を介してバスMBに接続される。制御装置7も同様に、保守操作を実施するためサービスプロセッサSPに保守ラインC<sub>1</sub>を介して接続される保守回路7Aを備える。

本発明の特徴に従えば、モジュールMU<sub>1</sub>は、制御装置7から出た信号E、制御ユニットSCUから出た信号CHMODおよび保守回路7Aから出た信号SMODに応じて、信号ENによりインターフェース10の出力の増幅器を制御する禁止回路11を備えている。

正常な機能状態では、モジュールMU<sub>1</sub>は、受けた読取りおよび書き込み要求に回答する。反対に、モジュールMU<sub>1</sub>が交換用モジュールであれば、このステータスはサービスプロセッサにより保守回路7Aに通知される。保守回路7Aは、代替モードへの条件付け信号SMODをアクティブにし、この信号が禁止回路11を操作し、インターフェース回路10によりデータの伝送を全て遮断する。

本発明によれば、伝送制御信号Eは、増幅器10の確認入力に直接ではなく、禁止回路11を介して与えられる。回路11はモードマルチバイブレーション回路BMと論理ゲート12を備え、該ゲートの出力ENは増幅器10Aの確認入力に接続される。さらに、マルチバイブレーション回路BMの条件付け入力Sは回路7Aから出る信号SMODを受ける。マルチバイブレーション回路BMのゼロリセット入力Rは信号CHMODを受ける。増幅器10Aは、その確認入力論理値ゼロを受けたとき、高インピーダンス状態にあると仮定する。さらに、モードマルチバイブレーション回路BMが論理値1の状態にあるとき、対応するモジュールは代替ステータスを有するものとする。マルチバイブレーション回路BMの逆転出力Q\*はこのときゲートET12の入力に接続され、ゲートET12の第2の入力は制御装置7から出た伝送制御信号Eを受ける。

第8図の回路は、次のように機能する。交換用モジュールがバスMBに接続されると、サービスプロセッサは信号SMODを強制的に論理値1に

モジュールMU<sub>1</sub>をその正常機能状態に戻すためには、モジュールMU<sub>1</sub>のステータスを制御ユニットSCUによるモード変更信号CHMODの伝送により変える。信号CHMODに応じて、禁止回路は元の状態に戻り、データの伝送を許可する。

第8図は、インターフェース10の出力増幅器10Aに関連して禁止回路11をさらに詳細に示す。読取りでは、エラー検出および訂正回路ECCから出たデータが出力緩衝装置10Bにロードされた後、出力増幅器10AによりバスMBのデータDTラインに伝送される。従来のメモリモジュールでは、モジュールの制御装置7は伝送制御信号Eにより出力増幅器10Aを制御する。モジュールが伝送しないとき、信号Eは最初の論理値を取り、この値が増幅器10Aを高インピーダンス状態Eにする。この信号の反転値について、増幅器10Aはアクティブな状態に置かれ、緩衝装置10Bに含まれるデータはメモリバスMBのデータDTのラインが受ける。

する。マルチバイブレーション回路BMは従って、状態MOD=1を取り、反転信号MOD\*がゲート12の入力に与えられる。その結果、このゲートの出力はゼロになり、これによって増幅器10Aは高インピーダンス状態に維持されるので、モジュールで読み取られた全てのデータの伝送が禁止される。モジュールのステータスを変えるために、制御ユニットSCUの保守回路5Aは信号CHMODを論理値1にし、これによってマルチバイブレーション回路BMがゼロにリセットされる。増幅器10Aは、制御装置7の信号Eにより通常制御される。

一度ただ1つのモジュールを交換するだけでよいなら、代替ステータスを有する多くとも1つのモジュールがある。ステータスの変更は、全モジュールに共通の単一の信号CHMODにより実施することができる。反対に、一度に複数の交換を実施できるようにしたい場合には、各モジュールについて特定のモード変更信号CHMODを選択的に送ることができるようにしなければならない。この解決法は、メモリバスのコネクタ数と同数の

モード変更ラインと、これらラインの選択手段とを備えるという条件で、第8図に示す回路により実施することができる。

第9図は、ただ1つのモード変更ラインCHMODしか必要とせずに複数のモジュールを同時に交換することを可能にする禁止回路11の変形例を示す。第9図には、モードマルチバイブレータ回路BMがあるが、その条件付け入力RはゲートET13の出力からの信号を受け、ゲート13の第1の入力はモード変更信号CHMODを受け、またその第2の入力は予備条件付けマルチバイブレータ回路BPの非逆転出力Qに接続されている。マルチバイブレータ回路BPの条件付け入力Sは、サービスプロセッサから予備条件付け信号PMODを受け、そのゼロリセット入力Rは信号SMODを受ける。モードマルチバイブレータ回路BMの条件付け入力Sは、第8図のように信号SMODを受ける。

第9図の回路の機能は次の通りである。所定の交換用モジュールのモードマルチバイブレータ回

路BMを0にリセットするため、サービスプロセッサはまず信号PMODにより予備条件付けマルチバイブレータ回路を1にする。その結果、ゲートET13は信号CHMODの伝送を許可する。ステータスの変更が保守回路5で開始されると、信号CHMODは前述のように値1となり、これによってモードマルチバイブレータ回路BMは0にリセットされる。従って、該当するモジュールのステータス変更は、他の交換用モジュールを除いて適切に行われる。これらの交換用モジュールでは、予備条件付けマルチバイブレータ回路BPは常に0であり、これによってモード変更信号の報告が禁止される。

これから、まず一度にただ1つのモジュールの交換を行う単純な場合を仮定してモジュール交換の完全な手順について説明することにする。

通常、モジュールMU<sub>i</sub>の交換は、制御ユニットSCUのエラー検出および訂正回路ECCにより読取りのエラーER検出により行われる。このエラーは対応するアドレスと同時にサービスプロ

セッサに通知される。これらの情報に応じて、サービスプロセッサは欠陥のある物理モジュールに付属する論理モジュール番号を決定することができる。さらに、サービスプロセッサの保守コンソールにより故障がオペレータに通知される。

オペレータが交換を実施したいときには、使用可能なコネクタに交換用モジュールMU<sub>i</sub>を配置する。この操作の前に、通常システムの機能を妨害することなく上記接続を可能にする予備操作が行われることに留意されたい。これについては例えば、本出願人により、1988年12月9日出願されたフランス国特許出願第88 16194号「複数の取外し可能なユニットを有する電子システム」の文献に従い実施することができる。この出願の内容は、本文の一部を成すものと考えなければならない。

次にオペレータはサービスプロセッサに再コピーの実施を命令する。これによってサービスプロセッサは下記の操作をアクティブにする。

— 保守回路7Aを介して、信号SMODにより交換用モジュールMU<sub>i</sub>のモードマルチバイブレ

ータ回路BMを1にし（第8図）、

— 保守回路5Aを介して、モジュールMU<sub>i</sub>の物理構成レジスタRP<sub>i</sub>に、故障モジュールに付属する論理番号と同じ番号をロードし、付属するステータスマルチバイブレータ回路BE<sub>i</sub>を1にし（第5図）、

— 該当するメモリ空間を示すため、処理手段CPUによりパラメータを移行し、プロセッサの1つで再コピーのプログラムまたはマイクロプログラムを起動し（第1図）、

— 処理手段により通知された再コピー操作の終了を報告し、

— 保守回路5Aを介して、交換すべきモジュールに付属するステータスマルチバイブレータ回路BE<sub>i</sub>を0にすると同時に、モード変更信号CHMODを1にする（第2、5、7、8図）、

— 保守コンソールにより、再コピーが終了し、故障カードを引き出すことができることを示す。

上記操作の後、オペレータは、システムを問題なくカードを引き出せる状態にしてから故障カー

ドを引き出すことができる。

複数のモジュールを同時に取り替えたい場合には、上記と同様の操作を適用するが、オペレータはサービスプロセッサに予め操作された物理モジュールの同一性を知らせておく必要がある。さらに、交換用モジュールのモードマルチパイプライン回路BMの状態の変更の前に、予備条件付けマルチパイプライン回路BPの条件付けを行う（第9図）。

#### 図面の簡単な説明

第1図は、本発明の実施のためのデータ処理システムを概略的に表し、

第2図は、本発明に依うシステムのメモリ制御ユニットの構成を示し、

第3図は、論理選択信号を発生するためのメモリ制御ユニットの手段を示し、

第4図は、メモリ制御ユニットにより送られる信号の論理-物理変換回路を示し、

第5図は、第4図に示した変換回路の実施例の

詳細を示し、

第6図は、メモリ制御ユニットが受けた信号の物理-論理変換回路を示し、

第7図は、メモリモジュールと、該モジュールがバスと交換する主要信号を示し、

第8図は、メモリモジュールの読取り禁止回路を示し、

第9図は、禁止回路の別の実施例を示す。

(主な参照番号)

CCU・・・処理手段、

SCU・・・メモリ制御ユニット、

SB・・・システムバス、

MB・・・メモリバス、

IOU・・・入力-出力ユニット、

C<sub>1</sub>、C<sub>2</sub>、C<sub>i</sub>、・・・、C<sub>r</sub>

・・・接続ロケーション、

MU<sub>1</sub>、MU<sub>2</sub>、MU<sub>i</sub>、・・・、MU<sub>r</sub>

・・・メモリモジュール、

SP・・・サービスプロセッサ、

1・・・入力緩衝装置、 2・・・連想テーブル、

3・・・出力緩衝装置、 4・・・変換回路、

5・・・保守回路、 6・・・論理選択回路、

7・・・制御装置、

ECC・・・エラー検出-訂正回路、

MX<sub>1</sub>、MX<sub>2</sub>、MX<sub>i</sub>、・・・、MX<sub>r</sub>

・・・マルチプレクサ、

RP<sub>1</sub>、RP<sub>2</sub>、RP<sub>i</sub>、・・・、RP<sub>r</sub>

・・・物理構成レジスタ、

BE<sub>1</sub>・・・ステータスマルチパイプライン回路、

DX<sub>1</sub>、DX<sub>2</sub>、DX<sub>i</sub>、・・・、DX<sub>r</sub>

・・・デマルチプレクサ、

G<sub>1</sub>、G<sub>2</sub>、・・・、G<sub>n</sub>・・・論理ゲート、

ON<sub>1</sub>・・・ステータスインジケータ、

8・・・メモリ回路、 9・・・入力緩衝装置、

10・・・インターフェース回路、

11・・・禁止回路、 12、13・・・論理ゲート、

BM・・・モードマルチパイプライン回路、

特許出願人 ビュル エス. アー.

代理人 弁理士 越場 隆

FIG. 1

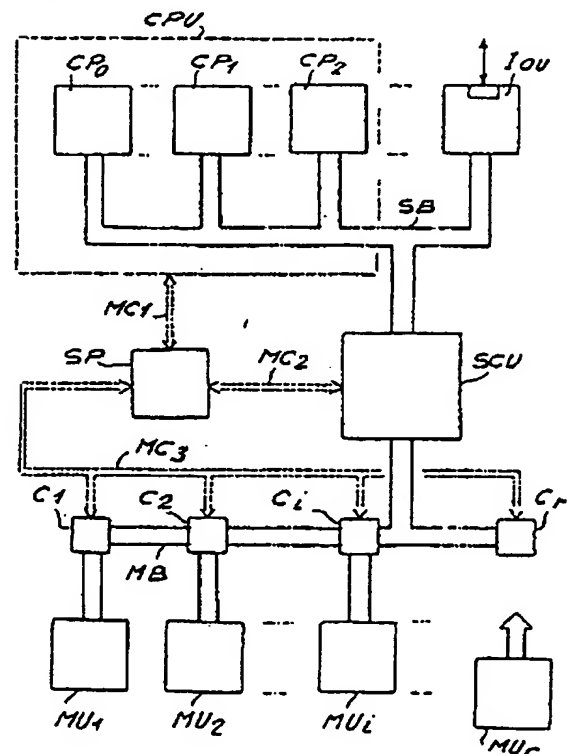




FIG. 2

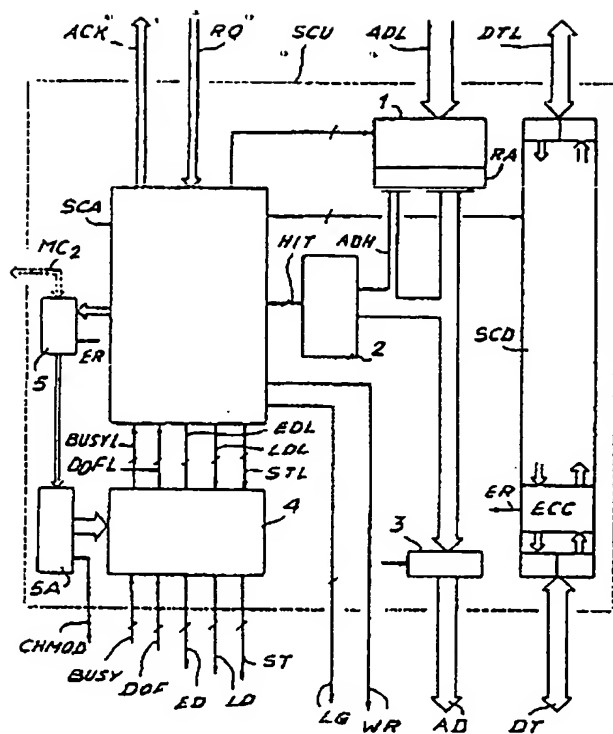


FIG. 3

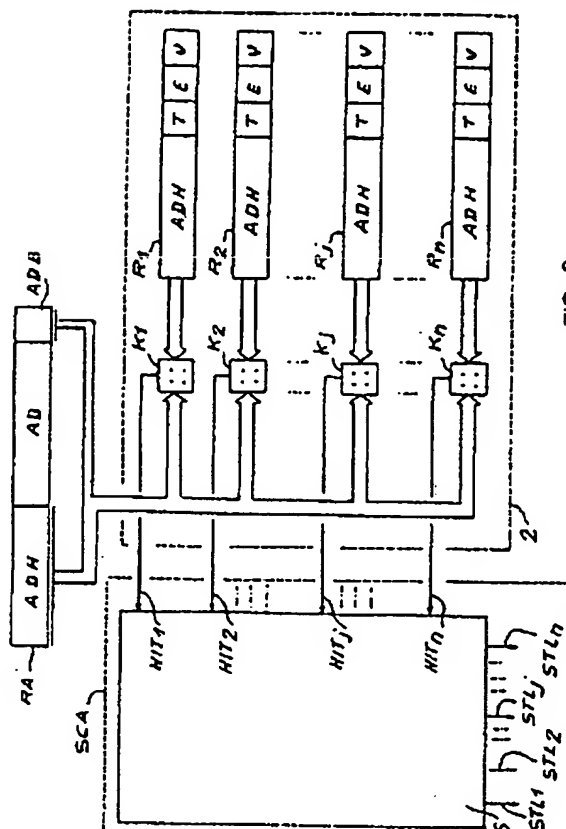


FIG. 4

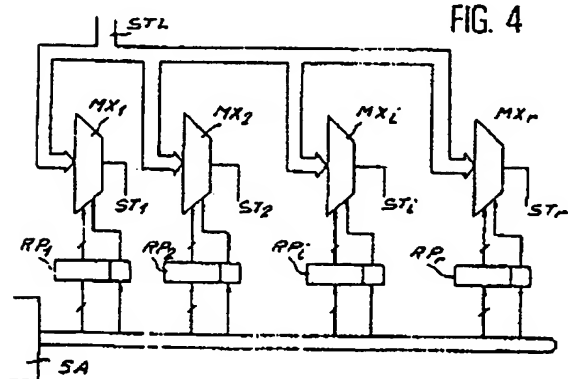


FIG. 5

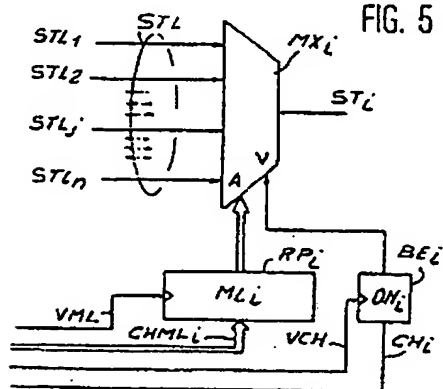


FIG. 6

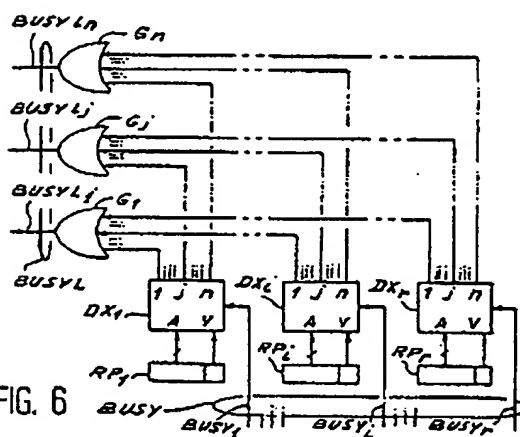


FIG. 7

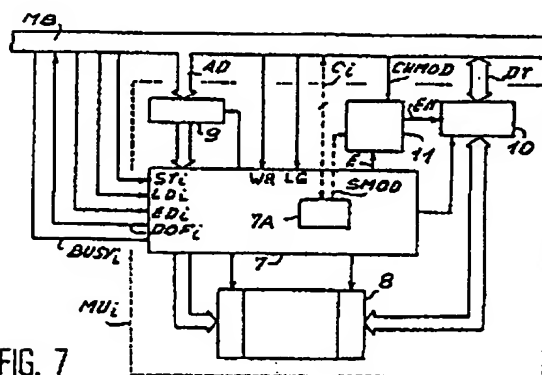


FIG. 8

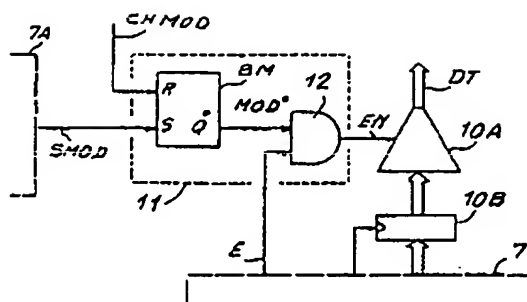
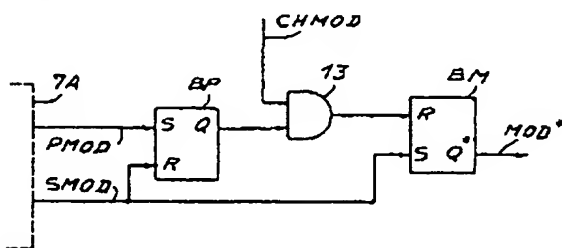


FIG. 9



第1頁の続き

④発明者

ジャンージャック ベ フランス国 92100 プローニュ ビヤンクール リュ  
ロー ドウ バリ 64